

⑯ 日本国特許庁 (JP)

⑯ 特許出願公開

⑰ 公開特許公報 (A)

昭59—226955

⑯ Int. Cl.³
G 06 F 11/28

識別記号
厅内整理番号
6913—5B

⑯ 公開 昭和59年(1984)12月20日

発明の数 1
審査請求 未請求

(全 4 頁)

④ プログラム・デバック装置

川崎市中原区上小田中1015番地
富士通株式会社内

② 特 願 昭58—103155

⑦ 出願人 富士通株式会社

② 出 願 昭58(1983)6月9日

川崎市中原区上小田中1015番地

⑦ 発明者 淡路俊夫

⑧ 代理人 弁理士 松岡宏四郎

明細書

1. 発明の名称

プログラム・デバック装置

2. 特許請求の範囲

プロセッサとメモリを有するシステムに於いて前記プロセッサから前記メモリをアクセスする信号の内少なくともアドレス情報及び書き込みデータ情報を受信し、且つ第一のアドレス比較回路、第二のアドレス比較回路、第三のアドレス比較回路を具備し、前記アドレス情報の全部又は一部を前記三個のアドレス比較回路の一つの入力端に入力し、前記第一のアドレス比較回路の他の入力端にチェックしようとするプログラムのチェック開始番地を入力し、前記第二のアドレス比較回路の他の入力端にチェックしようとするメモリのアドレスを入力し、前記第三のアドレス比較回路の他の入力端にチェックしようとするプログラムのチェック終了番地を入力し、前記第一のアドレス比較回路が一致した時以降前記第二のアドレス比較回路に於いて一致の取れた前記アドレス情報の書き込み動作を停止することを特徴とするプログラム・デバック装置。

みデータ情報を前記アドレス情報に従って該装置内のランダム・アクセス・メモリに書き込み、前記第三のアドレス比較回路が一致した時に、前記書き込み動作を停止することを特徴とするプログラム・デバック装置。

3. 発明の詳細な説明

(a). 発明の技術分野

本発明はプログラム・デバック装置に係り、特に作成されたプログラムをデバック中に破壊されたメモリを検出する機能を有するプログラム・デバック装置に関するものである。

(b). 従来技術と問題点

データ処理装置を駆動させるプログラムを作成し、実際に其のプログラムを走らせた場合、メモリを破壊する等の種々のプログラム・ミスを生ずることがあり、此の為プログラムをデバックする必要がある。

此の様なプログラムのデバックは大変繁雑な仕事であり、熟練を必要とすると云う欠点がある。

(c). 発明の目的

本発明の目的は従来のプログラム作成の状況を改善する為プログラム・デバック中に発生したメモリの破壊個所を検し出すプログラム・デバック装置を提供することである。

(d) 発明の構成

上記の目的は本発明によれば、プロセッサとメモリを有するシステムに於いて前記プロセッサから前記メモリをアクセスする信号の内少なくともアドレス情報及び書込みデータ情報を受信し、且つ第一のアドレス比較回路、第二のアドレス比較回路、第三のアドレス比較回路を具備し、前記アドレス情報の全部又は一部を前記三個のアドレス比較回路の一つの入力端に入力し、前記第一のアドレス比較回路の他の入力端にチェックしようとするプログラムのチェック開始番地を入力し、前記第二のアドレス比較回路の他の入力端にチェックしようとするメモリのアドレスを入力し、前記第三のアドレス比較回路の他の入力端にチェックしようとするプログラムのチェック終了番地を入力し、前記第一のアドレス比較回路が一致した時

以降前記第二のアドレス比較回路に於いて一致の取れた前記アドレス情報の書込みデータ情報を前記アドレス情報に従って該装置内のランダム・アクセス・メモリに書込み、前記第三のアドレス比較回路が一致した時に、前記書込み動作を停止することを特徴とするプログラム・デバック装置を提供することにより達成される。

(e) 発明の実施例

第1図は本発明の一実施例を示すブロック図である。図中CPUはプロセッサ、MEMはメモリ、IOCは入出力装置、SBUSはシステム・バス、PDBGは本発明によるプログラム・デバック装置を示す。

第2図は本発明に依るシステム・バスの一実施例を示す図である。図中REQはバス・アクセス信号、ACKはバス・アクセス信号REQに対する応答信号、MEM/IOはメモリMEMへのアクセス又は入出力装置IOCへのアクセスを識別する信号、W/Rは書込み/読み出しの識別信号、I/PはメモリMEMへアクセスする時インスト

ラクション1かオペランド(データ)Pかを識別する信号、Addressはアドレス、Dataはデータを表す。

第3図の(a)はプロセッサCPUがメモリMEMにデータを書き込む時のシーケンスを示す図であり、第3図の(b)はプロセッサCPUがメモリMEMからデータを読み出す時のシーケンスを示す図である。

第4図は本発明に依るプログラム・デバック装置の構成を示す図である。

図中、CTLは制御回路、RAMはランダム・アクセス・メモリ、STMATは第1のアドレス比較回路、BLMATは第2のアドレス比較回路、SPMATは第3のアドレス比較回路、FFはフリップ・フロップ回路、G1、G2、G3はオペアンド・ゲート、RVはアンプ、BLM、STA、SPA、DSP、DPAはオペレーティング・スイッチ、SELは選択回路、Lは表示ランプである。

スイッチBLMはチェックしようとするメモリのアドレスを設定する為のスイッチ(例えば6単位

)であり、スイッチSTAはチェックしようとするプログラムのチェック開始番地を設定する為のスイッチ(例えば16単位)であり、スイッチSPAはチェックしようとするプログラムのチェック終了番地を設定する為のスイッチ(例えば16単位)であり、スイッチDSPは外部からランダム・アクセス・メモリRAMの内容を見たい時押すスイッチで、スイッチDPAは其の時チェックしようとするメモリのアドレスを設定する為のスイッチ(例えば10単位)である。

以下図に従って本発明の詳細を説明する。

本発明に依るプログラム・デバック装置PDBGは試験しようとするプログラムを走行させた儘で破壊されたメモリ個所を検し出そうとするものであり、第1図に示す様にプログラム・デバック装置PDBGをシステム・バスSBUSに接続して使用され、システム・バスSBUSは第2図に示す様に構成されている。

試験しようとするプログラムが走行すると、プロセッサCPUとメモリMEM間で授受するデータ

Data、アドレス Address、識別信号 I/P、識別信号 W/R、識別信号 MEM/I/O、バス・アクセス信号 REQ、及び応答信号 ACK は夫々対応するバスに出力される。

例えばプロセッサ CPU からメモリ MEM にデータを書き込む時は、第 3 図の(a)に示す様に最初メモリ MEM へのアクセス又は入出力装置 IOC へのアクセスを識別する信号 MEM/I/O、書き込み/読み出しの識別信号 W/R、メモリ MEM へアクセスする時インストラクション 1 かオペランド(データ) P かを識別する信号 I/P、メモリ MEM の何処の番地に書き込むかを示すアドレス Address、及びデータ Data の 5 種類の情報が夫々のバスに出力され、次にバス・アクセス信号 REQ が対応するバスに出力され、上記動作の完了したと考えられる時点で応答信号 ACK が対応するバスに出力される。

又プロセッサ CPU がメモリ MEM からデータを読み出す時も、第 3 図の(b)に示す様に総ての情報は同じく対応するバスに出力される。

て設定したアドレスと一致するアドレスに入出力する命令が来ると、第 2 のアドレス比較回路 BL-MAT は出力信号を出し、更にバス・アクセス信号 REQ が制御回路 CTL に印加されて t1 信号が出力されと、ゲート G1 は開き、書き込み可能信号(WE)を出し、其の時のデータ Data をランダム・アクセス・メモリ RAM に書き込む。プログラムが更に進行して設定した終了番地になると第 3 のアドレス比較回路 SP-MAT に於いて一致出力を出し、同様にゲート G3 経由フリップ・フロップ回路 FF をリセットするのでランダム・アクセス・メモリ RAM への書き込みは停止される。

此の様に設定したチェック開始番地から終了番地迄の間に所定のアドレスに入出力したデータを総てランダム・アクセス・メモリ RAM に書き込まれるので、この資料を利用すれば従来に比し容易にプログラムの欠点を探し出すことが出来る。

尚スイッチ DPA、DSP、及び選択回路 SEL はランダム・アクセス・メモリ RAM の内容を見

本発明に依るプログラム・デバック装置 PDBG は此の様なバスに接続される。

以下第 4 図に従って本発明に依るプログラム・デバック装置 PDBG の詳細を説明する。

最初試験しようとするプログラムの何番地から何番地迄をチェックしようとするかを設定する。

即ちスイッチ STA によりチェック開始番地を設定し、スイッチ SPA によりチェック終了番地を設定し、スイッチ BL によりチェックしたいメモリのアドレスを設定する。

以上の状態にして試験しようとするプログラムを第 1 図のプロセッサ CPU にロードし、プログラムを走らせる。

プログラムが走行して第 1 のアドレス比較回路 ST-MAT に於いてスイッチ STA により設定された開始番地と一致し、同時にメモリ MEM へのアクセス信号が制御回路 CTL に印加されて t2 信号が出力されとゲート G2F 経由フリップ・フロップ回路 FF がセットされる。

次に第 2 のアドレス比較回路 BL-MAT に於い

たい時使用する操作部である。

(f) 発明の効果

以上詳細に説明した様に本発明によれば、プログラム・デバック中に発生したメモリの破壊箇所を容易に探し出すことが出来ると云う大きい効果がある。

4. 図面の簡単な説明

第 1 図は本発明の一実施例を示すブロック図である。

第 2 図は本発明に依るシステム・バスの一実施例を示す図である。

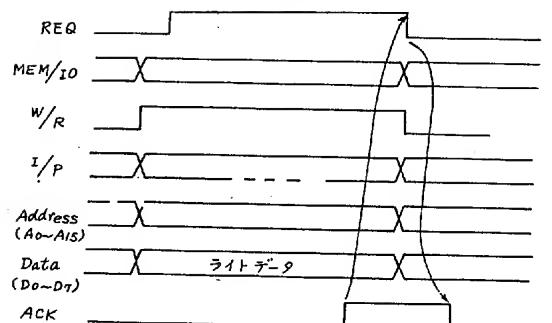
第 3 図の(a)はプロセッサ CPU がメモリ MEM にデータを書き込む時のシーケンスを示す図であり、第 3 図の(b)はプロセッサ CPU がメモリ MEM からデータを読み出す時のシーケンスを示す図である。

第 4 図は本発明に依るプログラム・デバック装置の構成を示す図である。

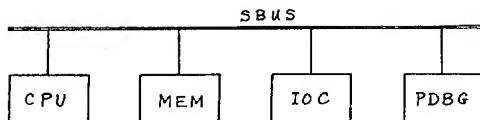
代理人 弁理士 松岡宏四郎

第 3 図

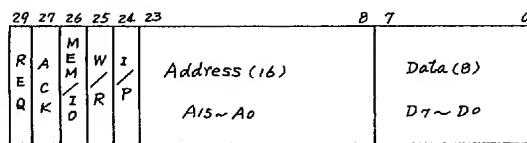
(a)



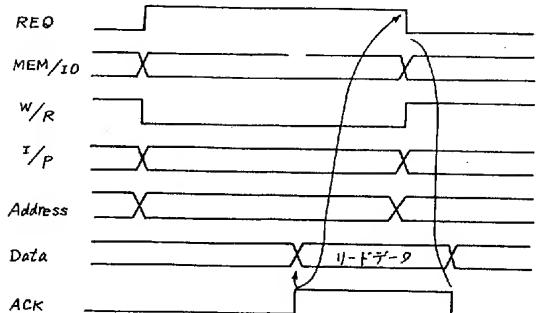
第 1 図



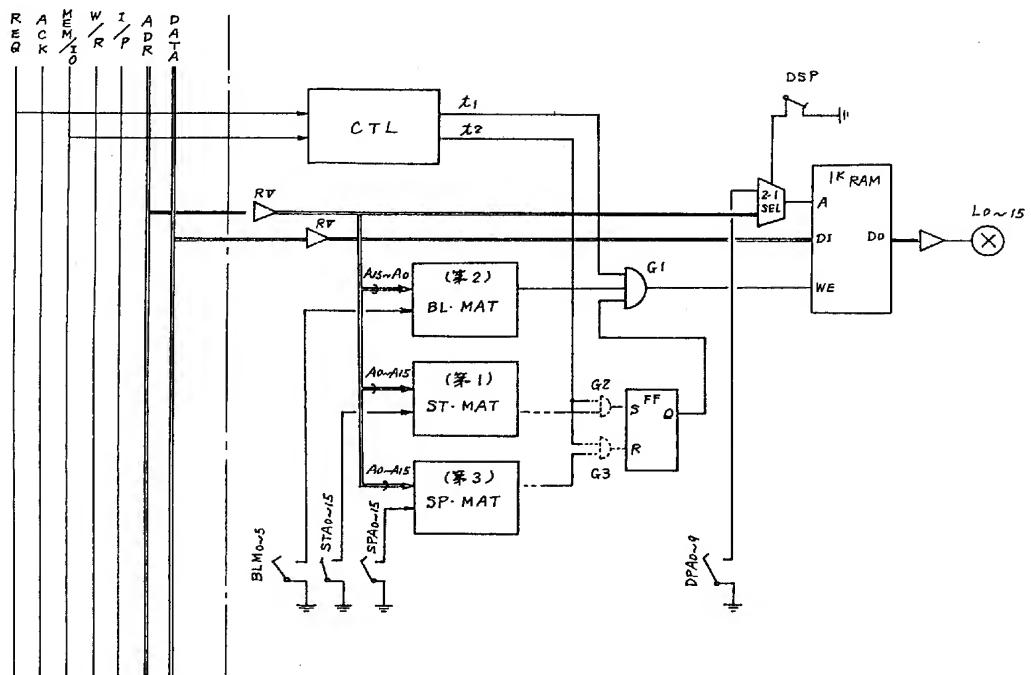
第 2 図



(b)



第 4 図



PAT-NO: JP359226955A
DOCUMENT-IDENTIFIER: JP 59226955 A
TITLE: PROGRAM DEBUG DEVICE
PUBN-DATE: December 20, 1984

INVENTOR-INFORMATION:

NAME	COUNTRY
AWAJI, TOSHIO	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A

APPL-NO: JP58103155
APPL-DATE: June 9, 1983

INT-CL (IPC): G06F011/28

US-CL-CURRENT: 700/87

ABSTRACT:

PURPOSE: To detect easily a broken area of a memory which is due to a fault produced during the program debug by providing plural address comparator and recording the input/output data between the check start and end addresses which are set previously.

CONSTITUTION: A range of addresses to be checked is first set when a test is carried out.

In other words, a check start address is set by a switch STA, and a check end address is set by a switch SPA respectively. Then the data between the set check start and end addresses is recorded in response to the traveling of the program via the 1st, 2nd and 3rd comparators ST.MAT, BL.MAT and SP.MAT respectively. In other words, the input/output data are all recorded in an RAM. With use of these data, a broken area of a memory which is due to a fault generated during the program debug can be detected compared with the conventional case.

COPYRIGHT: (C)1984, JPO&Japio